

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-100980

(43)Date of publication of application : 07.04.2000

(51)Int.Cl.

H01L 23/02

(21)Application number : 10-266019

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 21.09.1998

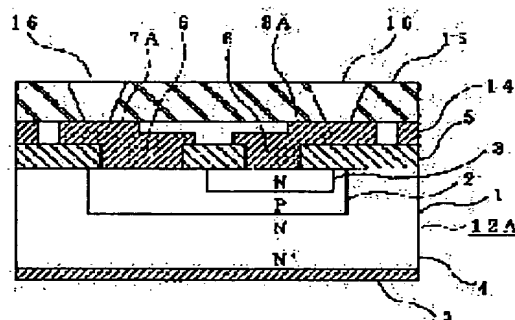
(72)Inventor : NAKAMURA KUNIHIRO
YAMAGUCHI YASUO
WAKIYAMA TAKAKI
FUKAURA TERUYA

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor device which is small in size, high in airtightness, excellent in mechanical strength, and easily handled.

SOLUTION: A glass plate 14 is provided covering the surface of an AN layer pattern composed of a base electrode 7A, an emitter electrode 8A, and an annular wall 14 formed on the primary surface of an N-type silicon substrate 1. Openings 16 and 16 are previously provided to the glass plate 14 at positions corresponding to the outer terminals of the base electrode 7A and the emitter electrode 8A, and the surface parts of the glass plate 14 around the openings 16 and the Al layer surface parts of the base electrode 7A and the emitter electrode 8A opposed to the surface parts of the glass plate 14 are bonded together through an anode bonding method, whereby an active region 18 that comprises the base electrode 7A and the emitter electrode 8A is hermetically protected.



LEGAL STATUS

[Date of request for examination] 07.04.2004

[Date of sending the examiner's decision of rejection] 27.09.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

FP04-0164- 00W0-HP
04.11.09
SEARCH REPORT

10/13

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-100980

(P2000-100980A)

(43) 公開日 平成12年4月7日 (2000.4.7)

(51) Int.Cl.⁷

H 0 1 L 23/02

識別記号

F I

H 0 1 L 23/02

テマコード* (参考)

B

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号

特願平10-266019

(22) 出願日

平成10年9月21日 (1998.9.21)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 中村 邦宏

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 山口 靖雄

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100102439

弁理士 宮田 金雄 (外2名)

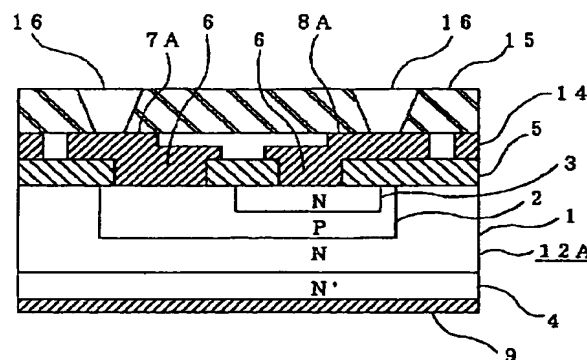
最終頁に続く

(54) 【発明の名称】 半導体素子

(57) 【要約】

【課題】 本発明は小形で気密性および機械的強度に優れ、取り扱いが容易な半導体素子を得る。

【解決手段】 N型シリコン基板1の一主表面に形成されたベース電極7A、エミッタ電極8Aおよびリング状壁部14からなるA層パターン部の表面をガラス板15で覆うと共に、ガラス板15におけるベース電極7A、エミッタ電極8Aの外部端子部に対応する箇所に予め開口部16を設けておき、該開口部16の開口面を除いたその周辺部分と該周辺部分に対向するベース電極7Aおよびエミッタ電極8AのA層表面およびリング状壁部14のA層表面とガラス板15とを陽極接合することにより、ベース電極7A、エミッタ電極8Aを含む保護すべき能動領域18を気密に保護する。



1 : N型シリコン基板

2 : P型半導体領域

3、4 : N型半導体領域

5 : シリコン酸化膜

6 : コンタクトホール

7A : ベース電極

8A : エミッタ電極

9 : コレクタ電極

12A : トランジスタチップ

14 : リング状壁部

15 : ガラス板

16 : 開口部

【特許請求の範囲】

【請求項1】 一主表面にパターン部が形成された半導体基板と、該パターン部を覆って前記一主表面を保護する無機質の板状保護部材とを備え、前記パターン部は、電極部と、該電極部を取り囲むように前記一主表面の周縁部に形成されたリング状壁部とからなり、前記板状保護部材は、前記電極部に対応する箇所に関口部を有し、該関口部の周辺部分に対向する前記電極部の表面および前記リング状壁部の表面のそれぞれと気密に接合されていることを特徴とする半導体素子。

【請求項2】 請求項1記載の半導体素子において、パターン部を構成する電極部およびリング状壁部は同一高さに関成され、板状保護部材は前記電極部および前記リング状壁部の表面に一体的に接合されていることを特徴とする半導体素子。

【請求項3】 請求項1または請求項2記載の半導体素子において、パターン部は酸化可能な金属材で形成され、板状保護部材はガラス板材で形成され、該ガラス板材と前記金属材とが陽極接合されていることを特徴とする半導体素子。

【請求項4】 請求項3記載の半導体素子において、板状保護部材としてのガラス板材は、半導体基板の一主表面に形成されたパターン部における所定のパターンが見えるように少なくともその一部が透明であることを特徴とする半導体素子。

【請求項5】 請求項3または請求項4記載の半導体素子において、板状保護部材としてのガラス板材はその厚さが20～1000 μ mの範囲であることを特徴とする半導体素子。

【請求項6】 請求項1乃至請求項5のいずれかに記載の半導体素子において、板状保護部材が有する関口部は表側から裏側に向かって小径となるテーパを有することを特徴とする半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、ハイブリッドICに組込む半導体素子に関し、特に、気密性に優れかつ小容積のチップ状半導体素子に関するものである。

【0002】

【従来の技術】 携帯電話などの電子機器の小型化、信頼性の向上のため、プリント基板に取付けて回路機能を形成するハイブリッドIC（以下、HICと記載する）に組込む半導体チップとして、気密性が高くかつ容積の小さなチップ状半導体素子が要求されている。

【0003】 図4はHICに組込む従来の半導体素子であるトランジスタチップの断面図である。図において、1はN型シリコン基板、2はベース領域としてのP型半導体領域、3はエミッタ領域としてのN型半導体領域、4はN⁺層としてのN型半導体領域、5はシリコン酸化膜、6はコンタクトホール、7、8はそれぞれアルミ

（以下、A1と記載する）の層にて形成されたベース電極およびエミッタ電極である。また、9はN型シリコン基板1の裏面に設けられたコレクタ電極、10は保護層としての薄いガラス層、11はガラス層10における電極取り出し部分の窓である。なお、12はN型シリコン基板1～ガラス層10にて構成されたトランジスタチップである。

【0004】 次に、トランジスタチップの製造方法について説明する。シリコンウエハであるN型シリコン基板1上に拡散等のプレーナ技術を用いてP型半導体領域2、N型半導体領域3、4を形成する。次に、P型半導体領域2、N型半導体領域3の表面上にシリコン酸化膜5を形成し、シリコン酸化膜5にコンタクトホール6を開けた後にA1層からなるベース電極7およびエミッタ電極8を形成し、さらに、表面の保護のために例えば1～2 μ m程度の薄いガラス層10をCVD法により形成し、写真製版技術によりガラス層10に電極取り出し部分の窓11を開け、さらにまた、N型半導体領域4にコレクタ電極9を形成することにより、複数のトランジスタ素子が作り込まれたウエハ（図示せず）が完成する。次に、前記ウエハ（図示せず）を個々のチップに切断することにより、トランジスタチップ12が完成する。

【0005】 各トランジスタチップ12は、ダイボンド、ワイヤボンド、モールド工程その他からなる組立て工程を経て樹脂でパッケージされ、この樹脂パッケージングされたトランジスタチップ（図示せず）の状態ではHIC（図示せず）やプリント基板（図示せず）に組込んで使用される。また、他の使用方法として、各トランジスタチップ12が、裸のままHIC基板（図示せず）に組込まれ、ダイボンドおよびワイヤボンド工程および有機溶剤を用いた洗浄工程を経てリード線13を取り出し、外部と結線した後、HIC基板全体をモールド樹脂で直接あるいは表面保護の樹脂を塗布した状態で覆うことにより使用される。

【0006】

【発明が解決しようとする課題】 従来の半導体素子は、以上のように構成されているので、HIC基板（図示せず）等への組込みに際し、前者の場合は、樹脂でパッケージ済みチップ等の半導体素子（図示せず）を組込むため、パッケージの樹脂の分、容積が大きくなってしまふ欠点があり、また樹脂のパッケージでは気密性が不十分で保管や組立て工程中に湿気などが侵入し、素子の特性を劣化させ易いなどの問題点があった。

【0007】 また、後者の場合は、裸のトランジスタチップ12等の半導体素子では、ダイボンド、ワイヤボンドをHIC基板（図示せず）上で行うのでは容積は小さくて済むが、ダイボンドやワイヤボンドおよび洗浄工程等の組立て工程中に半導体素子の表面に傷が付き易く、また組立て工程および保管中に湿気が侵入して半導体回

路の機能を阻害する等の問題点があった。

【0008】この発明は、上記のような問題点を解消するためになされたものであり、小形軽量でありながら、気密性に優れると共に機械的強度に優れ、湿気に強くかつ傷がつきにくく取り扱いの容易な半導体素子を得ることを目的とする。

【0009】

【課題を解決するための手段】第1の発明に係わる半導体素子は、一主表面にパターン部が形成された半導体基板と、該パターン部を覆って前記一主表面を保護する無機質の板状保護部材とを備え、前記パターン部は、電極部と、該電極部を取り囲むように前記一主表面の周縁部に形成されたリング状壁部とからなり、前記板状保護部材が、前記電極部に対応する箇所に開口部を有し、該開口部の周辺部分に対向する前記電極部の表面および前記リング状壁部の表面のそれぞれと気密に接合されているものである。

【0010】第2の発明に係わる半導体素子は、第1の発明に係わる半導体素子において、パターン部を構成する電極部およびリング状壁部が同一高さに形成され、板状保護部材が前記電極部および前記リング状壁部の表面に一体的に接合されているものである。

【0011】第3の発明に係わる半導体素子は、第1または第2の発明に係わる半導体素子において、パターン部が酸化可能な金属材料で形成され、板状保護部材がガラス板材で形成され、該ガラス板材と前記金属材料とが陽極接合されているものである。

【0012】第4の発明に係わる半導体素子は、第3の発明に係わる半導体素子において、板状保護部材としてのガラス板材が、半導体基板の一主表面に形成されたパターン部における所定のパターンが見えるように少なくともその一部が透明であるものである。

【0013】第5の発明に係わる半導体素子は、第3または第4の発明に係わる半導体素子において板状保護部材としてのガラス板材の厚さが20～1000 μm の範囲であるものである。

【0014】第6の発明に係わる半導体素子は、第1乃至第5のいずれかの発明に係わる半導体素子において、板状保護部材が有する開口部が表側から裏側に向かって小径となるテーパを有するものである。

【0015】

【発明の実施の形態】実施の形態1. この発明の実施の形態1を図1～図3に基づき説明する。図1は半導体素子であるトランジスタチップの断面図、図2は図1に示したトランジスタチップの平面図、図3は複数の半導体素子が形成されたウエハの断面図である。図中、従来例と同じ符号で示されたものは従来例のそれと同一若しくは同等なものを示す。

【0016】図1、2において、7A、8AはそれぞれA1層として形成されたベース電極およびエミッタ電極

である。14はベース電極7Aおよびエミッタ電極8Aを所定寸法幅以上の隙間を設けて取囲むA1材からなるリング状壁部、15は板状保護部材としての透明なガラス板、16はガラス板15の開口部である。なお、12AはN型シリコン基板1～ガラス板15にて構成されたトランジスタチップである。

【0017】図3において、17はトランジスタチップ12Aへの切断前の複数のトランジスタ素子が形成されたウエハであり、ガラス板15が接合されている。18はベース電極7Aおよびエミッタ電極8Aを含むリング状壁部14およびガラス板15で保護すべき能動領域、19は個々のトランジスタチップ12Aへの切断部を示す。

【0018】次に、トランジスタチップの製造方法について説明する。まず、通常のプレーナ技術を用いて、例えば、シリコンウエハとしてのN型シリコン基板1の主表面に、それぞれベース領域としてのP型半導体領域2、エミッタ領域としてのN型半導体領域3からなる複数の島を形成し、N型シリコン基板1の裏面側はオーミックをよくするためのN+層であるN型半導体領域4を形成する。

【0019】この後、表面にシリコン酸化膜5を形成し、形成されたシリコン酸化膜5の所定の位置にコンタクトホール6を開け、その後、コンタクトホール6を開けた状態の前記主表面にA1層を形成し、ベース電極7A、エミッタ電極8Aおよびリング状壁部14を得る。なお、ベース電極7A、エミッタ電極8Aおよびリング状壁部14はパターン化され、同時に形成される。即ち、A1材の蒸着またはスパッタ法により1～5 μm の厚さのA1層が形成された後、通常の写真製版技術を用いて不要な部分を除去されることによってベース電極7A、エミッタ電極8Aおよびリング状壁部14が形成される。

【0020】なお、ベース電極7A、エミッタ電極8Aおよびリング状壁部14をパターン化し、即ち、これらを写真製版に用いる露光のマスクに所望のパターンを付けることにより、パターン部として同時に形成することにより、リング状壁部14の形成のための工数増加を抑えた。

【0021】次に、前記パターン部としての前記A1層とP型半導体領域2、N型半導体領域3およびシリコン酸化膜5等からなるシリコン層との接合部における密着性の向上およびオーミック性を得るため、350～450℃程度の温度で不活性雰囲気中で、例えばN2ガス中で熱処理する。その後、N型シリコン基板1の裏面側に形成されているN型半導体領域4にはオーミック性を得るためおよび組立て工程におけるダイボンドのために金属層を形成し、コレクタ電極9とする。

【0022】次に、前記パターン部としての前記A1層とガラス板15とを陽極接合技術を用いて接合する。ガ

ラス板15は透明で約400 μ mの厚さを有し、N型シリコン基板1とほぼ同じ大きさであり、ベース電極7Aおよびエミッタ電極8Aとの外部接続リード線のボンディング位置に対応した部分に予め開口部16が形成されており、前記パターン部にガラス板15を位置合せして密着させ、不活性雰囲気中で高温、例えば350~450℃程度に保持した状態で、ガラス板15側を一、N型シリコン基板1の裏面が正極(+)になるように、例えば、200~1000V程度の直流電圧を加え、数分~数時間保持した後に冷却する。この結果、ベース電極7A、エミッタ電極8Aおよびリング状壁部14を形成するパターン部としての前記A1層とガラス板15との接合部分が原子間接合される。

【0023】この陽極接合技術を用いた接合方法においては、ガラス板15はNA等のアルカリ金属を含み、適当な電気伝導性があり、また、その熱膨張係数が珪素(以下、Siと記す)に近いものが使用される。このようにして、電極金属に用いられるA1材に直接ガラスを接合することにより能動領域18近傍の表面を厚いガラス板15で密封保護した構造ができ、A1層とガラス板15の接合は気密性に優れ、接合処理時と同じ程度の高温に耐える。

【0024】なお、ガラス板15の開口部16は、表側からテーパ穴加工を行うことにより、表側の穴内径が裏側のA1層と接触した穴内径よりも大きなテーパ状をなし、前記A1層と外部リード線(図示せず)とのボンディング作業を容易にしている。また、開口部16における気密性の保持のため、開口部16の周囲の接合部分において、ベース電極7Aおよびエミッタ電極8AとなるA1層は、例えば10 μ m以上程度の糊代分を取って開口部16の前記A1層と接触した穴内径よりも大きな面積となるように設計される。

【0025】さらに、ベース電極7Aおよびエミッタ電極8Aの最高部位置とリング状壁部14の上面とを、同一高さの平面状に形成し、ガラス板15における前記パターン部との貼り合せ面を平滑な平面とすることにより、全ての前記トランジスタ素子のベース電極7Aおよびエミッタ電極8Aにおける開口部16の周縁近傍とリング状壁部14の上面の全周囲とはガラス板15と完全に接合され、保護すべき能動領域18を外気から完全に密閉する。

【0026】なお、ベース電極7Aおよびエミッタ電極8Aの最高部位置とリング状壁部14の上面との高さに段差があっても、その分、ガラス板15の貼り合せ面側に凹凸を形成することにより、外気からの密閉を得るための上記接合を達成できるが、上記のごとく、同一高さの平面状に形成することにより、ガラス板15の貼り合せ面に凹凸を形成するなどの特別な加工を要せず、貼り合せのための位置合せも容易である。

【0027】ガラス板15が接合されたウエハ17は、

通常のダイサー等の切断装置(図示せず)を用いて、図3に示した各チップの切断部19の位置で個々のトランジスタチップ12Aに切断され、その後、従来と同じくHICの基板(図示せず)にダイボンドされ、ガラス板15の開口部16から覗くA1層表面に外部リード線(図示せず)をボンディングし、組立てられる。なお、ガラス板15として透明なものをを用いたので、N型シリコン基板1のパターン部形成面側に設けた位置合せ印によるガラス板15の接合のための位置合せ作業および個々のトランジスタチップ12Aへの切断作業が容易である。

【0028】前述のごとく、ウエハ17にはベース電極7A、エミッタ電極8Aおよびリング状壁部14が複数組形成されているが、隣合うリング状壁部14は図3に示すごとく一体となるので、切断部19の位置で個々のチップに切断された後は、トランジスタチップ12Aの周縁の全面がリング状壁部14で覆われ、保護すべき能動領域18が外気から完全に密封される。

【0029】以上のように、この発明による実施の形態1においては、複数のトランジスタ素子が形成されたN型シリコン基板1に、個々のトランジスタ素子の保護すべき能動領域18を囲うようにA1材からなるリング状壁部14を設け、ガラス板15で覆い、かつ、ガラス板15に設けた開口部16よりワイヤボンディング用の電極であるA1層が覗いた構造のトランジスタチップ12Aを得たので、図4に従来例として示した裸のトランジスタチップ12とほぼ同じ大きさであるにもかかわらず、ガラス板15により気密性が保たれた構造が得られ、その保護すべき能動領域18に傷が付きにくく、かつ耐湿性に優れた取扱いの容易なものが得られる。

【0030】即ち、ウエハ17におけるN型シリコン基板1内に、複数のトランジスタ素子等の能動領域を基盤目上に形成した後に、その表面を400 μ m程度の比較的厚いガラス板15を陽極接合により接合し、その後、各チップに切断することによりトランジスタチップ12Aを得たので、接着剤を必要としないで気密性の優れた接合が得られ、封じられた内部を容易に清浄な雰囲気にて、後の組立工程中および製品となった後でも気密性が保たれており、湿気や洗浄剤等の侵入を防ぐことができる。

【0031】さらに、ウエハ17は、上記のごとく表面の保護すべき能動領域18が厚いガラス板15で覆われていることにより、ダイボンド、ワイヤボンド、洗浄等の組立て工程中の取り扱いで傷つけられることがないので不良になる機会を低減でき、トランジスタチップ12Aは、その歩留まりの向上に寄与しコストの低減を図ることができると共に、ほぼ従来の裸のチップサイズ相当の大きさであり、これらを組込む機器の小型化に寄与できる。

【0032】さらに、実施の形態1においては、陽極接

合によりA1材とガラス板15とを直接接合させたが、陽極接合によるガラス板15との接合対象はA1材に限定する必要はなく、ガラスに対する被接合物は酸化性の物質であればよく、SiやTiなど、多くの金属材と接合できる。

【0033】なお、実施の形態1においては、ガラス板15とA1材のごとき酸化性の被接合物とを直接接合させたが、実際に接合を試みた結果では、被接合物には酸化膜が例えば1 μ m程度形成されていても、即ち、酸化性の物質の表面に酸化膜が存在する場合においても接合可能であり、SiやA1の層表面上にSiO₂の薄膜が形成されていても接合ができる。即ち、ベース電極7A、エミッタ電極8A等の形成後に例えば1~2 μ m程度の厚みのガラス層をCVD法により形成して保護膜としたものでも、印加電圧をアップすることによりガラス板15の接合が可能である。

【0034】また、実施の形態1においては、保護すべき能動領域18の表面を覆うガラス板15は、透明なものであったが、必ずしも完全な透明体である必要はなく、ウエハ17に設けられた位置合せ用のアライメントマーク（図示せず）やダイシングライン（図示せず）がガラス板15を透して見える程度の透明度で、若しくは、部分的に透明なものであっても、同様な位置合せ作業やウエハ17からトランジスタチップ12A単位に分離切断する所謂ダイシング作業を容易にする効果が得られる。

【0035】さらに、実施の形態1においては、ガラス板15は、400 μ m程度の厚さのものをを用いて陽極接合により接合したが、該ガラス板15の厚さは400 μ m程度に限定する必要はなく、例えば20~1000 μ mの範囲であっても、陽極接合により接合でき、能動領域18を確実に保護できる気密性が得られる。即ち、ガラス板15は、下限20 μ m以上の厚さであればウエハ17との位置合せや陽極接合等の一連の貼り合せ作業工程において破損したり、撓んだりし難く、また、上限1000 μ m以下の厚さであれば、陽極接合が容易でガラス板15の熱変形により接合不良を生じ難く、且つ、ウエハ17からトランジスタチップ12A単位に分離切断する所謂ダイシング作業が容易であり、製造容易かつ気密性に優れたものが得られる。

【0036】また、図1に示した実施の形態1においては、ガラス板15の開口部16がその表側からのみテーパー加工され、表側の穴内径が最大で裏側のA1層と接触した穴内径が最小のテーパー状をなす穴を示したが、表側からのテーパー穴加工と共に裏側からもテーパー穴若しくはストレート穴加工を行い、裏側穴の面取りを行ってもよい。

【0037】なお、実施の形態1においては、無機質の板状保護部材としてガラス板15を用いたが、ガラス板15に限定されるものではなく、例えば、セラミック等

の板材であっても、同様に、小型で気密性および機械的強度に優れたものが得られる。

【0038】さらに、実施の形態1においては、半導体素子としてNPNタイプのトランジスタ素子を形成したものを例示したが、NPNタイプのトランジスタ素子に限定されるものではなく、PNPタイプのトランジスタ素子、ダイオード、サイリスタその他の制御素子等にも適用できることは言うまでもない。

【0039】

【発明の効果】第1の発明によれば、半導体基板の一主表面に形成された電極部およびリング状壁部からなるパターン部の表面を無機質の板状保護部材で覆うと共に、前記板状保護部材における電極部に開口部を設け、該開口部の周辺部分に対向する前記電極部の表面および前記リング状壁部の表面のそれぞれと気密に接合したので、前記半導体基板の一主表面における保護すべき能動領域を密封保護でき、小型で気密性および機械的強度に優れた半導体素子が得られる効果がある。

【0040】また、第2の発明によれば、第1の発明による半導体素子において、パターン部を構成する電極部とリング状壁部とを同一高さに形成し、板状保護部材を、前記電極部およびリング状壁部の表面に一体的に接合したので、前記板状保護部材の接合面がフラットな形状であっても半導体基板の一主表面を気密に保護でき、小型で気密性および機械的強度に優れた半導体素子を容易かつ安価に得られる効果がある。

【0041】また、第3の発明によれば、第1または第2の発明による半導体素子において、パターン部を酸化可能な金属材とし、板状保護部材をガラス板材として前記パターン部と陽極接合したので、前記板状保護部材の接合に接着剤を使用不要であり、接着部にアウトガスの発生が無く、耐食性に優れた半導体素子が得られる効果がある。

【0042】また、第4の発明によれば、第3の発明による半導体素子において、ガラス板材の少なくとも一部を透明にし、半導体基板の一主表面に形成されたパターン部における所定のパターンが見えるようにしたので、ウエハ段階で半導体基板と前記ガラス板材との接合のための位置合せ作業および前記接合後の切断作業が容易であり、高品位かつ安価な半導体素子が得られる効果がある。

【0043】また、第5の発明によれば、第3または第4の発明による半導体素子において、ガラス板材の厚さを20~1000 μ mの範囲に選定したので、ウエハ段階での位置合せ、陽極接合等の一連の貼り合せ作業工程において破損し難く、また、陽極接合が容易でガラス板材の熱変形による接合不良を生じ難いと共にダイシング作業が容易であり、製造容易かつ気密性に優れた半導体素子が得られる効果がある。

【0044】また、第6の発明によれば、第1乃至第5

の何れかの発明による半導体素子において、板状保護部材が有する開口部が表側から裏側に向かって小径となるテーパを有するので、前記外部端子部へのリード線の外付け作業に優れた半導体素子が得られる効果がある。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 としての半導体素子であるトランジスタチップの断面図である。

【図 2】 図 1 に示したトランジスタチップの平面図である。

【図 3】 この発明の実施の形態 1 としての複数の半導

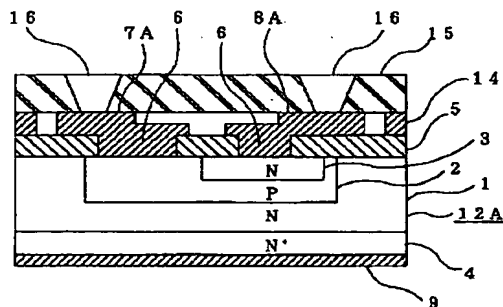
体素子が形成されたウエハの断面図である。

【図 4】 従来の半導体素子であるトランジスタチップの断面図である。

【符号の説明】

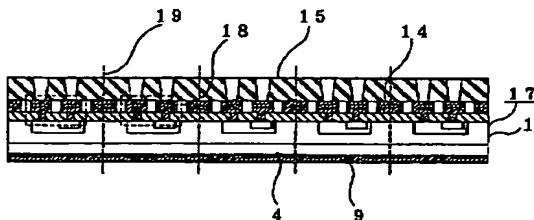
1 N型シリコン基板、2 P型半導体領域、3、4 N型半導体領域、5 シリコン酸化膜、6 コンタクトホール、7 A ベース電極、8 A エミッタ電極、9 コレクタ電極、12 A トランジスタチップ、14 リング状壁部、15 ガラス板、16 開口部、17 ウエハ、18 保護すべき能動領域、19 切断部

【図 1】



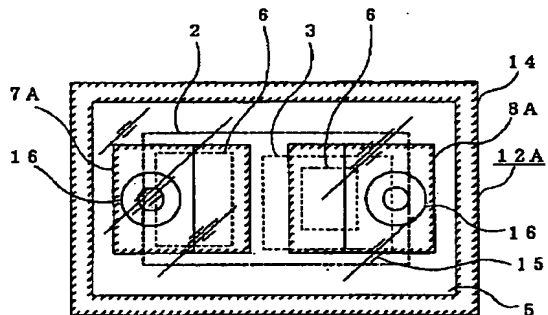
- | | |
|--------------|-----------------|
| 1: N型シリコン基板 | 8 A: エミッタ電極 |
| 2: P型半導体領域 | 9: コレクタ電極 |
| 3、4: N型半導体領域 | 12 A: トランジスタチップ |
| 5: シリコン酸化膜 | 14: リング状壁部 |
| 6: コンタクトホール | 15: ガラス板 |
| 7 A: ベース電極 | 16: 開口部 |

【図 3】

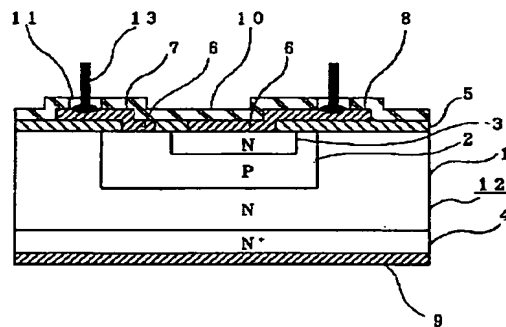


- 17: ウエハ
18: 保護すべき能動領域
19: 切断部

【図 2】



【図 4】



フロントページの続き

(72) 発明者 脇山 貴樹
兵庫県西宮市甲陽園東山町 5 番 7 号 有限
会社レックス光学計器製作所内

(72) 発明者 深浦 輝也
福岡県福岡市西区今宿東一丁目 1 番 1 号
三菱セミコンエンジニアリング株式会社内